

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of:

TAE-SUNG KIM

Serial No.: *to be assigned*

Examiner: *to be assigned*

Filed: 29 January 2004

Art Unit: *to be assigned*

For: NOVEL CONDUCTIVE ELEMENTS FOR THIN FILM TRANSISTORS USED  
IN A FLAT PANEL DISPLAY

**CLAIM OF PRIORITY UNDER 35 U.S.C. §119**

**Mail Stop : Patent Application**

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign applications, Korean Patent application No. 2003-15356 filed in Korea on 12 March 2003 and Korean Patent application No. 2003-63583 filed in Korea on 15 September 2003, and filed in the U.S. Patent and Trademark Office on 29 January 2004 is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is certified copies of said original foreign applications.

Respectfully submitted,



Robert E. Bushnell

Reg. No.: 27,774

Attorney for the Applicant

1522 "K" Street, N.W., Suite 300  
Washington, D.C. 20005  
(202) 408-9040  
Folio: P57001  
Date: 1/29/04  
I.D.: REB/rfc



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0015356  
Application Number

출원년월일 : 2003년 03월 12일  
Date of Application

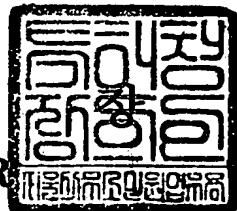
출원인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 07 월 30 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【참조번호】	0004	
【제출일자】	2003.03.12	
【국제특허분류】	G02F	
【발명의 명칭】	박막트랜지스터 및 이를 구비한 평판표시소자	
【발명의 영문명칭】	Thin film transistor and flat display device comprising it	
【출원인】		
【명칭】	삼성에스디아이 주식회사	
【출원인코드】	1-1998-001805-8	
【대리인】		
【성명】	이영필	
【대리인코드】	9-1998-000334-6	
【포괄위임등록번호】	1999-050326-4	
【대리인】		
【성명】	이해영	
【대리인코드】	9-1999-000227-4	
【포괄위임등록번호】	2000-004535-8	
【발명자】		
【성명의 국문표기】	김태성	
【성명의 영문표기】	KIM, Tae Sung	
【주민등록번호】	700723-1037811	
【우편번호】	402-200	
【주소】	인천광역시 남구 주안동 26-8 태화아파트 2동 707호	
【국적】	KR	
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 이해영 (인)	
【수수료】		
【기본출원료】	20	면 29,000 원
【가산출원료】	2	면 2,000 원

1020030015356

출력 일자: 2003/7/31

【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	31,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명은, 열처리공정에 의한  $TiAl_3$ 의 발생이 억제되어 충분히 낮은 저항을 갖는 도선 등을 구비하여, 화소의 응답속도 및 화질이 향상되는 박막트랜지스터 및 이를 구비한 평판표시소자를 제공하는 것을 목적으로 한다.

상기와 같은 목적을 달성하기 위하여 본 발명은, 소스전극, 드레인전극, 게이트전극, 및 반도체층을 구비한 박막트랜지스터로서, 상기 소스전극, 드레인전극, 및 게이트전극 중 적어도 하나는 알루미늄계 금속층을 구비하고, 상기 알루미늄계 금속층의 일면에는 확산방지층 및 티탄층이 순서대로 형성된 것을 특징으로 하는 박막트랜지스터를 제공한다.

**【대표도】**

도 6

**【명세서】****【발명의 명칭】**

박막트랜지스터 및 이를 구비한 평판표시소자 {Thin film transistor and flat display device comprising it}

**【도면의 간단한 설명】**

도 1 은 종래의 박막트랜지스터의 전극(또는 박막트랜지스터 패널의 도선)을 도시하는 단면도이고,

도 2 는 박막트랜지스터 패널의 회로도이고,

도 3 은 박막트랜지스터 패널의 일부를 도시하는 평면도이고,

도 4 는 박막트랜지스터를 구비한 전계발광소자의 단면도이고,

도 5 는 박막트랜지스터를 구비한 액정표시소자의 단면도이고,

도 6 은 본 발명에 따른 박막트랜지스터의 전극(또는 박막트랜지스터 패널의 도선)을 도시하는 단면도이고,

도 7 은 종래의 박막트랜지스터의 전극(또는 박막트랜지스터 패널의 도선)과 본 발명에 따른 박막트랜지스터의 전극(또는 박막트랜지스터 패널의 도선)의 면적비를 비교한 도표이고,

도 8 은 종래의 박막트랜지스터의 전극(또는 박막트랜지스터 패널의 도선)과 본 발명에 따른 박막트랜지스터의 전극(또는 박막트랜지스터 패널의 도선)의 비저항을 비교한 도표이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

10: 제1박막트랜지스터 11: 제1게이트전극

12: 제1소스전극 13: 제1드레인전극

20: 제1도선 30: 제2도선

40: 스토리지 커페시터 50: 제2박막트랜지스터

51: 제2게이트전극 52: 제2소스전극

53: 제2드레인전극 60: 발광부

61: 제1전극 62: 제2전극

70: 제3도선 80: 반도체층

81: 기판 87: 발광층

91: 제1기판 102: 제2기판

130: 도선 등 131: 알루미늄계 금속층

132, 133: 티탄층 134: 135: 질화티탄층

H: 수평구동회로 V: 수직구동회로

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<23> 본 발명은 박막트랜지스터와, 이를 구비한 평판표시소자에 관한 것이다. 더 상세하게는 저항손실이 적은 박막트랜지스터와, 저항손실에 따른 화질악화가 개선된 평판표시소자에 관한 것이다.

<24> 박막트랜지스터는 게이트전극에 인가되는 전압을 제어함으로써 소스전극과

드레인전극을 연결하는 반도체층에 채널을 형성여부를 결정하여 소스전극과 드레인전극을 서로 통전시키거나 절연시키는 소자로서, 주로 능동행렬형(Active Matrix type)형 평판표시소자, 예를 들면 전계발광소자 또는 액정표시소자의 박막트랜지스터 패널에 사용되며, 상기 평판표시소자의 각 화소, 또는 각 화소의 적색발광부, 청색발광부, 및 녹색발광부를 독립적으로 발광시키는 기능을 한다.

<25> 상기 평판표시소자의 박막트랜지스터 패널에 형성된 박막트랜지스터의 소스전극과 게이트전극은 도선에 의하여 박막트랜지스터 패널의 단부에 배치된 구동회로와 연결되고, 상기 소스전극, 드레인 전극, 및 이들 각각과 통전되는 도선은 제조공정상의 이유로 인하여 동일한 소재 및 구조로 함께 형성되는 것이 일반적이다.

<26> 상기 소스전극, 드레인 전극, 및 이들 각각과 통전되는 도선은 크롬계 금속, 몰리브덴계 금속(Mo, MoW 등) 등의 소재로 형성될 수도 있으나, 이들 소재는 저항이 비교적 크기 때문에 박막트랜지스터 패널이 대형이거나 또는 그 화소가 미세한 경우에는 구동회로로부터 화소까지의 전압강하가 커짐으로 인하여 화소의 응답속도가 느려지거나 화질의 균일성이 악화된다는 문제점이 있다. 이러한 문제점은 상기 소스전극, 드레인 전극, 및 이들 각각과 통전되는 도선을 형성한 후에 후속하는 열처리공정(평판표시소자의 화소전극으로서 통상 사용되는 ITO(Indium Tin Oxide)층이 충분히 결정화되기 위하여, 상기 ITO층이 400°C 이상의 고온에서 스퍼터링(sputtering)되거나 또는 저온에서 스퍼터링된 후에 고온(400°C 이상)에서 어닐링(annealing)되어야 하는바, 상기 고온의 스퍼터링과 어닐링을 본 열처리공정의 예로서 들 수 있다)에 의하여 더 악화될 수 있다.

<27> 상기 문제점을 해결하기 위하여, 상기 소스전극, 드레인 전극, 및 이들 각각과 통전되는 도선은 물론, 게이트전극과 이를 구동회로에 연결하는 도선도 저항이 적은 알루미늄으로 형성

하는 방안이 주목받고 있다. 이하에서는 상기 소스전극, 드레인 전극, 이를 각각과 통전되는 도선, 게이트전극, 및 이를 구동회로에 연결하는 도선 중의 적어도 하나를 간단히 '도선 등'이라 칭하기로 한다.

<28> 미국 공개특허공보 US2002085157호에는 알루미늄을 구비한 도선 등을 개시하고 있다. 상기 도선 등은 공보의 도 7에 도시된 바와 같이 질화티탄층/알루미늄층, 질화티탄층/티탄층/알루미늄층, 및 질화티탄층/알루미늄층/티탄층의 구조를 갖는데, 이는 이를 도선 등에 접촉하는 단자와의 접촉저항을 저감시키거나 상기 도선 등의 형성에 후속하는 열처리공정에 의하여 알루미늄에 힐록(hilllock)이 발생하는 것을 저지하기 위한 것이고, 상기 도선 등 자체의 저항을 감소시키기 위한 사항은 개시되어 있지 않다.

<29> 도 1에는 티탄층(Ti layer; 122), 알루미늄층(Al layer; 121), 및 티탄층(123)이 적층된 구조를 갖는 도선 등(120)이 개시되어 있고, 상기 티탄층들은 열처리공정에 의한 힐록의 생성을 방지한다. 그러나, 이와 같은 구조를 갖는 도선 등에 있어서는 상기 열처리공정에 의하여 상기 알루미늄과 티탄 간에 반응이 일어나서  $TiAl_3$ 이 생성되는데, 이는 상기 도선 등의 저항을 증가시켜서 바람직하지 않게 된다는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<30> 본 발명은 상기와 같은 문제점을 해결하여, 열처리공정에 의한  $TiAl_3$ 의 발생이 억제되어 충분히 낮은 저항을 갖는 도선 등을 구비하여, 화소의 응답속도 및 화질이 향상되는 박막트랜지스터 및 이를 구비한 평판표시소자를 제공하는 것을 목적으로 한다.

<31> 또한 본 발명은 상기 열처리공정이 수행되어도 알루미늄에 힐록이 발생하지 않는 박막트랜지스터 및 이를 구비한 평판표시소자를 제공하는 것을 목적으로 한다.

### 【발명의 구성 및 작용】

<32> 상기와 같은 목적을 달성하기 위하여 본 발명은, 소스전극, 드레인전극, 게이트전극, 및 반도체층을 구비한 박막트랜지스터로서, 상기 소스전극, 드레인전극, 및 게이트전극 중 적어도 하나는 알루미늄계 금속층을 구비하고, 상기 알루미늄계 금속층의 일면에는 확산방지층 및 티탄층이 순서대로 형성된 것을 특징으로 하는 박막트랜지스터를 제공한다.

<33> 상기 소스전극과 드레인전극은 동일한 수평면 상에서 서로 간극을 두고 배치되어 상기 반도체층에 의하여 통전될 수 있으며, 상기 게이트전극은 소스전극, 드레인전극, 및 반도체층과 절연되어 상기 수평면에 수직하고 상기 간극에 위치한 수직선 상에 배치되는 것이 바람직하다.

<34> 상기 알루미늄계 금속층의 타면에는 확산방지층 및 티탄층이 순서대로 형성되는 것이 바람직하다.

<35> 상기 확산방지층은 질화티탄으로 형성된 질화티탄층인 것이 바람직하다.

<36> 상기 질화티탄층은 대략 100Å 내지 500Å의 두께를 갖는 것이 바람직하다.

<37> 상기 질화티탄층에는 15 질량% 내지 35 질량%의 질소가 함유되는 것이 바람직하다.

<38> 도 2에는 박막트랜지스터 패널에 형성되는 박막트랜지스터를 구비한 회로의 일 실시예가 도시되어 있다. 상기 회로는 제1박막트랜지스터(10), 제2박막트랜지스터(50), 스토리지 커패시터(storage capacitor; 40), 및 발광부(60)를 구비하는데, 상기 제1박막트랜지스터의 제1소스전극(12)은 제1도선(20)에 의하여 수평구동회로(H)에 연결되고, 제1박막트랜지스터의 제1게이트전극(11)은 제2도선(30)에 의하여 수직구동회로(V)에 연결되며, 제1박막트랜지스터의 제

1드레인전극(13)은 스토리지 커패시터의 제1커패시터전극(41) 및 제2박막트랜지스터(50)의 제2게이트전극(51)과 연결된다. 상기 스토리지 커패시터의 제2커패시터전극(42)과 제2박막트랜지스터의 제2소스전극(52)은 제3도선(70)과 연결되고, 제2박막트랜지스터의 제2드레인전극(53)은 발광부(60)의 제1전극(61)과 연결되며, 발광부의 제2전극(62)은 상기 제1전극과 소정의 간극을 두고 제1전극에 대향하게 배치되며, 제1전극과 제2전극 사이에는 평판표시소자의 종류에 따라서 유기물, 무기물, 또는 액정 등이 배치된다.

<39> 도 3 에는 상기 제1박막트랜지스터(10)와 제2박막트랜지스터(50)를 구비한 평판표시소자의 일 구동단위(일 화소를 구성하는 적색부, 청색부, 및 녹색부 중의 하나)가 도시되어 있다. 도 3 은 도 2 에 도시된 회로가 물리적으로 어떤 구조를 갖는지를 도시하는 대략적인 평면도이고, 전기가 통하는 부분만이 도시되었으며, 도 4 및 도 5 에 도시된 기판, 버퍼층, 각종 절연층, 평탄화층, 발광층, 액정층, 제2전극, 편광층, 배향층, 칼라필터층 등은 도시되지 않았다. 도 3 의 각 구성부분이 겹친 부분 중 빛금으로서 표시된 부분만 통전되도록 연결되어 있다.

<40> 상기 제1게이트전극(11)에 전압이 인가되면 제1소스전극(12)과 제1드레인전극(13)을 연결하는 반도체층에 도전채널이 형성되는데, 이 때 상기 제1도선에 의하여 제1소스전극에 전하가 공급되면 제1드레인전극(13)으로 전하가 이동하게 된다. 제3도선(70)에는 상기 일 구동단위에 표현되는 회도를 결정하는 전하량이 공급되고, 상기 제1드레인전극에 의하여 제2게이트전극(51)에 전하가 공급되면 제2소스전극(52)의 전하가 제2드레인전극(53)으로 이동하여 발광부의 제1전극(53)을 구동하게 된다. 상기 스토리지 커패시터(40)는 제1전극의 발광을 유지하거나 또는 구동속도를 향상시키는 기능을 한다. 참고적으로, 상기 제1박막트랜지스터와 제2박막트랜지스터의 단면구조는 서로 유사하고, 연결되는 인접 구성요소가 상이하다.

<41> 도 4 에 도시된 전계발광소자는 박막트랜지스터 패널, 발광층(87), 및 제2전극(62)을 구비하고, 상기 박막트랜지스터 패널은 기판(81), 박막트랜지스터(50), 제1도선(20), 제2도선(30), 및 제1전극(61)을 구비한다.

<42> 전계발광소자가 배면발광형인 경우에는 상기 기판(81)이 투명한 소재, 예를 들면 유리로 형성되고, 상기 제2전극은 알루미늄과 같이 반사율이 좋은 금속 소재로 형성되는 것이 바람직하다. 전계발광소자가 전면발광형인 경우에는 상기 제2전극이 투명한 도전체, 예를 들면 ITO 등으로 형성되고, 제1전극은 반사율이 좋은 금속소재로 형성되는 것이 바람직하다.

<43> 상기 기판 상에는 전체적으로 벼퍼층(82)이 형성되고, 그 위에는 반도체층(80)이 소정 패턴으로 형성되며, 그 위에는 전체적으로 제1절연층(83)이 형성되고, 그 위에는 제2게이트전극(51)이 소정 패턴으로 형성되며, 그 위에는 전체적으로 제2절연층(84)이 형성된다. 제2절연층이 형성된 후에는 드라이에칭 등의 공정에 의하여 상기 제1절연층과 제2절연층을 식각하여 상기 반도체층의 일부가 드러나도록 하고, 이 부분은 소정의 패턴으로 형성되는 제2소스전극(52) 및 제2드레인전극(53)과 연결된다. 상기 제2소스전극(52) 및 제2드레인전극(53)이 형성된 후에는 이를 위에 제3절연층(85)를 형성하고, 그 일부를 식각하여 제2드레인전극(53)과 제1전극(61)과의 도전통로를 형성한다. 상기 제3절연층 위에 제1전극을 형성한 후에는 평탄화층(86)을 형성하고, 제1전극에 대응하는 부분을 식각해낸다. 그 후 상기 제1전극 상에 발광층(87)을 형성하고, 발광층 위에 제2전극(62)을 형성한다.

<44> 상기 박막트랜지스터(50)는 제2소스전극(52), 제2드레인전극(53), 제2게이트전극(51), 및 반도체층(80)을 구비하는데, 일반적으로 상기 제2소스전극(52)과 제2드레인전극(53)은 동일한 수평면 상에서 서로 간극을 두고 배치되되 상기 반도체층(80)에 의하여 통전될 수 있도록 각각 반도체층과 연결되며, 상기 제2게이트전극(51)은 제2소스전극, 제2드레인전극, 및 제2반

도체층과 절연되어 상기 수평면에 수직하고 상기 간극에 위치한 수직선 상에 배치된다. 한편 박막트랜지스터는 상기 전극들과 반도체층의 배치구조에 따라서 스태거형(staggered type), 역 스태거형(inverted staggered type), 및 코플래너형(coplanar type), 역 코플래너형(inverted coplanar type) 등으로 구분되는데, 본 실시예에서는 코플래너형을 예로 들어 설명하지만 본 발명이 이에 한정되는 것은 아니다.

<45> 상기 박막트랜지스터는 도 3에 도시된 제2박막트랜지스터에 해당하는데, 이 경우에는 상기 제2소스전극은 제3도선(70)과 연결되고, 제2게이트전극(51)은 제1박막트랜지스터의 제1드레인전극(13)과 연결되며, 제2드레인전극(53)은 상기 제1전극(61)과 연결되고, 제1박막트랜지스터의 제1소스전극(12)은 상기 제1도선(20)과 연결되며, 제1게이트전극(11)은 제2도선(30)과 연결된다. 본 실시예에 있어서는 상기 제1도선이 데이터를 전송하는 데이터라인(data line)인 것으로 하고, 제2도선이 스캔라인(scan line)에 해당하는 것으로 한다.

<46> 도 4를 참조하여 전계발광소자의 구조를 상세히 설명한다. 전계발광소자에 있어서는 상기 제1전극(61) 상에 발광층(87)이 형성되고, 상기 발광층 위에 제2전극(62)이 형성된다. 전계발광소자는 유기전계발광소자와 무기전계발광소자로 구분될 수 있는바, 유기전계발광소자인 경우에는 상기 발광층이 크게 전자수송층, 발광물질층, 및 홀수송층으로 구성되고, 무기전계발광소자인 경우에는 상기 제1전극 및 제2전극 각각과 발광층 사이에 절연층이 개재된다.

<47> 유기전계발광소자의 발광물질층을 형성하는 유기물로서는, 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3)등이 이용되는

데, 상기 제1전극 및 제2전극에 전하를 공급하면 홀(hole)과 전자가 결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라서 상기 발광물질층이 발광한다.

<48> 무기전계발광소자의 경우에는, 상기 제1전극 및 제2전극의 내측면에 배치된 절연층을 사이의 무기물층이 발광하는데, 상기 무기물로서는 금속황화물인 ZnS, SrS, CsS 등이 이용되며, 최근에는 CaCa<sub>2</sub>S<sub>4</sub>, SrCa<sub>2</sub>S<sub>4</sub> 등의 알카리 토류 칼륨 황화물과 금속산화물들도 이용되고 있다. 상기 무기물과 함께 발광층을 형성하는 발광중심원자들로서는 Mn, Ce, Tb, Eu, Tm, Er, Pr, Pb 등을 포함하는 천이 금속 또는 알카리 희토류 금속들이 이용된다. 상기 제1전극 및 제2전극에 전압을 가하면 전자가 가속되어 발광중심원자와 충돌하는데, 이 때 발광중심원자의 전자들이 더 높은 에너지 준위로 여기 되었다가 기저 상태로 천이 되고, 이에 따라서 상기 무기물층이 발광한다.

<49> 도 5에 도시된 액정표시소자의 박막트랜지스터 패널은 전계발광소자의 박막트랜지스터 패널과 유사한 구성을 갖는 반면에 그 주변의 구성은 상이한바, 이하에서는 상이한 사항을 중심으로 설명한다.

<50> 상기 액정표시소자는 박막트랜지스터 패널, 제1배향층(97), 제2기판(102), 제2전극(62), 제2배향층(99), 액정층(98), 및 편광층(103)을 구비하고, 상기 박막트랜지스터 패널은 제1기판(81), 박막트랜지스터(50), 제1도선(20), 제2도선(30), 및 제1전극(61)을 구비하는데, 제1기판은 전계발광소자의 기판에 대응한다.

<51> 상기 제2기판(102)는 상기 제1기판과는 별도로 제조되고, 그 내측면에는 칼라필터층(101)이 형성된다. 제2전극(62)은 상기 칼라필터층 상에 형성된다. 제1전극(61)과 제2전극 상에는 각각 제1배향층(97)과 제2배향층(99)이 형성되는데, 이들은 이들 사이에 형성되는

액정층(98)의 액정을 배향한다. 편광층(103)은 상기 제1기판과 제2기판의 외면에 형성된다. 스페이서(104)는 상기 제1기판과 제2기판 간의 간격을 유지시킨다.

<52> 액정표시소자는 상기 액정의 배열에 따라서 빛을 통과시키거나 통과시키지 않는데, 이 액정은 상기 제1전극과 제2전극 간의 전위차에 의하여 그 배열이 결정되고, 상기 액정층을 통과한 빛은 상기 칼라필터층(101)의 색을 띠게 되어 화상을 구현한다.

<53> 종래기술에서 언급하였던 '도선 등'은 본 실시예에 있어서는 제1, 2소스전극(12, 52), 제1, 2드레인전극(13, 53), 제1, 2게이트전극(11, 51), 제1도선(20), 제2도선(30), 및 제3도선(70)에 해당하는 것으로 하고, 이하에서는 도 6을 참조하여 이들의 구체적인 층구조에 관하여 설명한다.

<54> 본 실시예에서는 상기 제1, 2게이트전극(11, 53) 및 제2도선(30)이 동일소재로 함께 형성되고, 상기 제1, 2소스전극(12, 52), 제1, 2드레인전극(13, 53), 제1도선(30), 및 제3도선(70)이 동일소재로 함께 형성되지만, 이는 제조공정에 따라서 달라질 수 있는 것이므로 본 발명이 이에 한정되지는 않는다.

<55> 본 실시예의 도선 등(130)의 적어도 하나는 알루미늄계 금속층(131)과 티탄층(132, 133)을 구비하고, 이 알루미늄계 금속층과 티탄층 사이에는 확산방지층(134, 135)이 형성된다. 본 실시예에서는 상기 알루미늄계 금속층의 양측에 확산방지층과 티탄층이 형성된 것으로 하였으나, 알루미늄계 금속층의 일측에만 확산방지층과 티탄층이 형성된 것도 본 발명의 범위를 벗어나지 않는다.

<56> 상기 알루미늄계 금속층(131)은 순수 알루미늄, 알루미늄실리콘합금(AlSi), 알루미늄구리합금(AlCu), 알루미늄네오디뮴합금(AlNd), 알루미늄백금합금(AlPt), 알루미늄니켈합금(AlNi)

등으로 형성된다. 상기 티탄층들은 열처리공정에 의한 힐록의 생성을 방지하고, 상기 확산방지층은 열처리공정에 의하여 상기 알루미늄계 금속층의 알루미늄이 티탄층의 티탄과 반응하여  $TiAl_3$ 이 생성되는 것을 저지함으로써, 상기 도선 등의 저항을 낮게 한다.

<57> 확산방지층은 질화티탄으로 형성되는 것이 바람직한데, 그 두께가 너무 얕으면 알루미늄의 확산에 의한 티탄과의 반응을 충분히 저지할 수 없고 반면에 너무 두꺼우면 소재가 낭비되어 제조원가의 상승을 초래하므로 대략 100Å 내지 500Å의 두께로 형성되고, 바람직하게는 대략 250Å의 두께로 형성된다. 또한 상기 질화티탄층에는 15 질량% 내지 35 질량%의 질소가 함유된다.

<58> 참고적으로, 상기 알루미늄계 금속층(131)과 티탄층(132, 133)은 아르곤(Ar)가스 분위기 속에서 디씨 마그네트론(DC magnetron) 방식의 스퍼터링(sputtering)에 의하여 적층되고, 상기 질화티탄층은 아르곤과 질소( $N_2$ )의 혼합가스 또는 아르곤과 산소( $O_2$ )의 혼합가스 분위기 속에서 리액티브(reactive) 방식의 스퍼터링에 의하여 적층된다. 또한 적층 후에 상기 도선 등을 소정의 패턴으로 식각함에 있어서는, 고주파 유도 플라즈마 방식으로 드라이에칭(dry etching) 한다.

<59> 상기 저항감소의 효과는 도 7 및 도 8에 도표로서 도시되어 있는데, 양 도표의 가로축은 열처리공정의 온도(열처리온도)를 나타내고, 도 7의 세로축은 상기 도선 등의 면저항을 나타내며, 도 8의 세로축은 도선 등의 비저항을 나타낸다. 또한 도표 중 A는 상기 실시예에 따라서 티탄층(두께:250Å)/질화티탄층(두께:250Å)/알루미늄계 금속층(두께:4000Å)/질화티탄층(두께:250Å)/티탄층(두께:250Å)의 5층 구조를 갖는 도선 등의 저항을 나타낸 것이고, B는 티탄층(두께:500Å)/알루미늄계 금속층(두께:4000Å)/티탄층(두께:500Å)의 3층 구조를 갖는

도선 등의 저항을 나타낸 것이다. 도시된 바와 같이 열처리온도가 380°C 정도인 경우를 상정 하더라도, A와 B 간의 면저항은 각각  $0.11 \Omega/\square$ 과  $0.35 \Omega/\square$ 로서 3배 이상의 차이를 보이고, A와 B 간의 비저항도 각각  $7 \mu \Omega \text{cm}$  와  $21.5 \mu \Omega \text{cm}$  로서 3배 이상의 차이를 보인다.

<60> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의하여 정해져야 할 것이다.

### 【발명의 효과】

<61> 본 발명에 의하여, 열처리공정에 의한  $\text{TiAl}_3$ 의 발생이 억제되어 충분히 낮은 저항을 갖는 도선 등을 구비함으로써 화소의 응답속도 및 화질균일성이 향상된 박막트랜지스터 및 이를 구비한 평판표시소자가 제공된다.

<62> 또한 고온의 열처리공정이 수행되어도 알루미늄계 금속층에 힐록이 발생하지 않는 박막 트랜지스터 및 이를 구비한 평판표시소자가 제공된다.

**【특허청구범위】****【청구항 1】**

소스전극, 드레인전극, 게이트전극, 및 반도체층을 구비한 박막트랜지스터에 있어서, 상기 소스전극, 드레인전극, 및 게이트전극 중 적어도 하나는 알루미늄계 금속층을 구비하고, 상기 알루미늄계 금속층의 일면에는 확산방지층 및 티탄층이 순서대로 형성된 것을 특징으로 하는 박막트랜지스터.

**【청구항 2】**

제 1 항에 있어서,  
상기 확산방지층은 질화티탄으로 형성된 질화티탄층인 것을 특징으로 하는 박막트랜지스터.

**【청구항 3】**

제 2 항에 있어서,  
상기 질화티탄층은 대략 100Å 내지 500Å의 두께를 갖는 것을 특징으로 하는 박막트랜지스터.

**【청구항 4】**

제 2 항에 있어서,  
상기 질화티탄층에는 15 질량% 내지 35 질량%의 질소가 함유된 것을 특징으로 하는 박막트랜지스터.

【청구항 5】

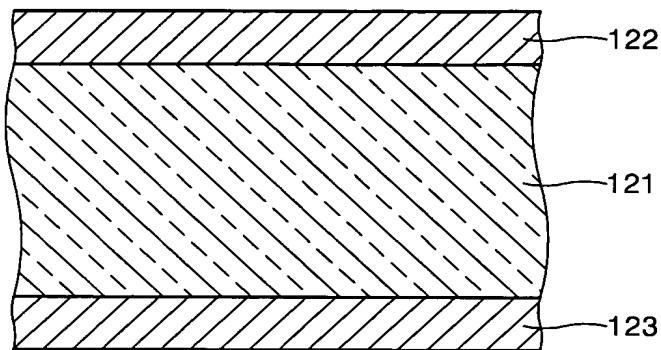
제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 박막트랜지스터를 구비한 평판표시소자.

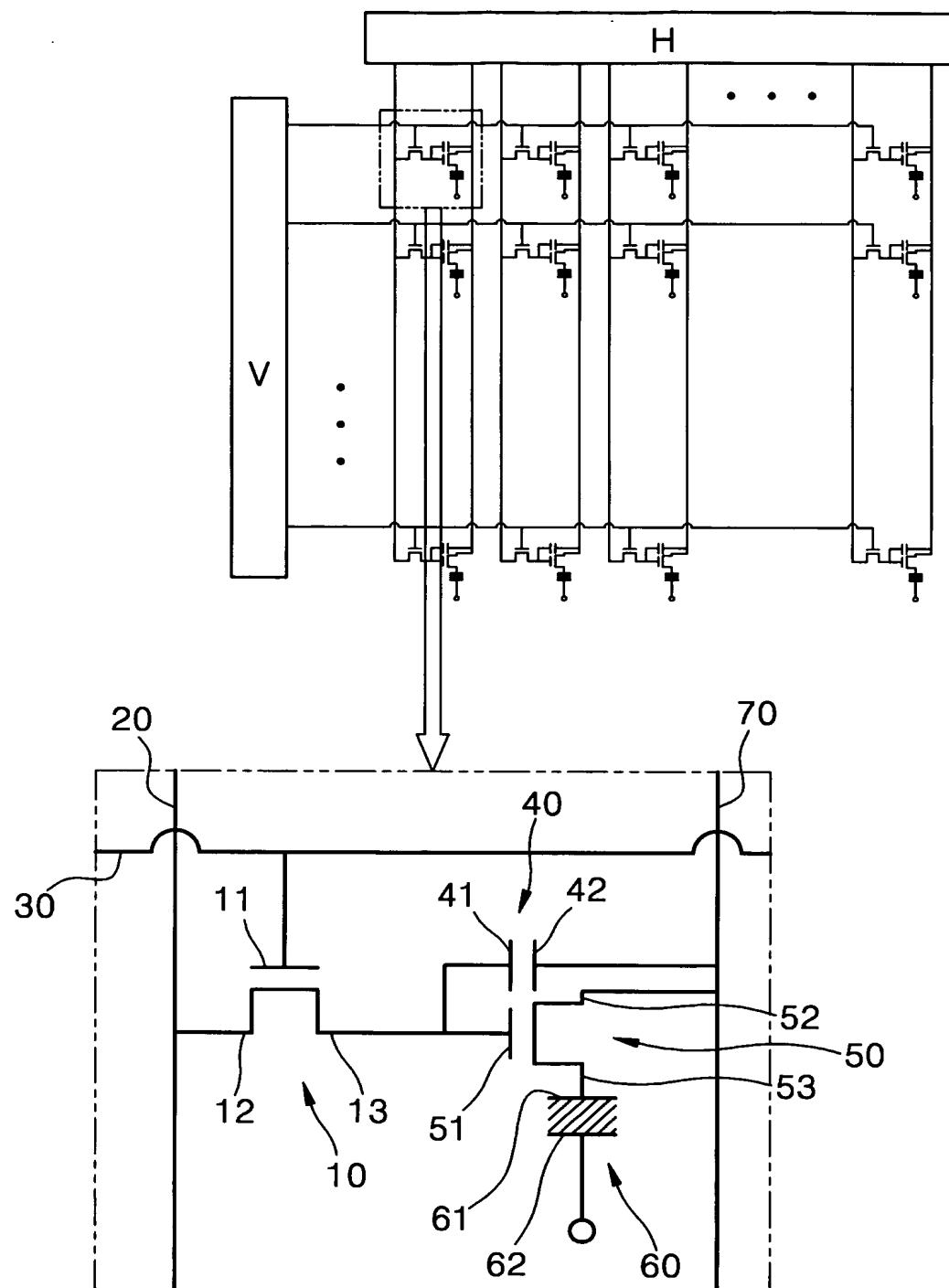
【도면】

【도 1】

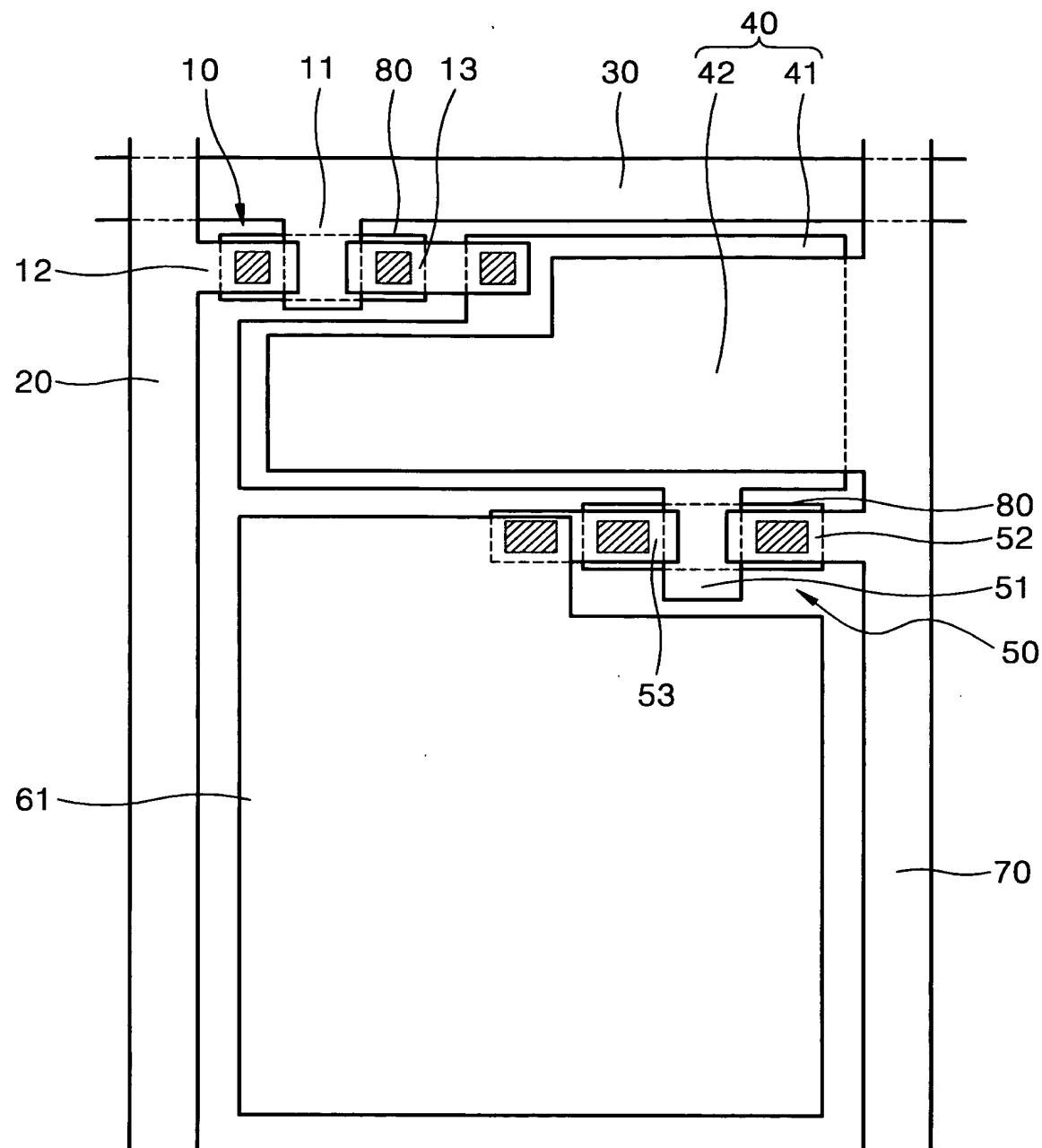
120



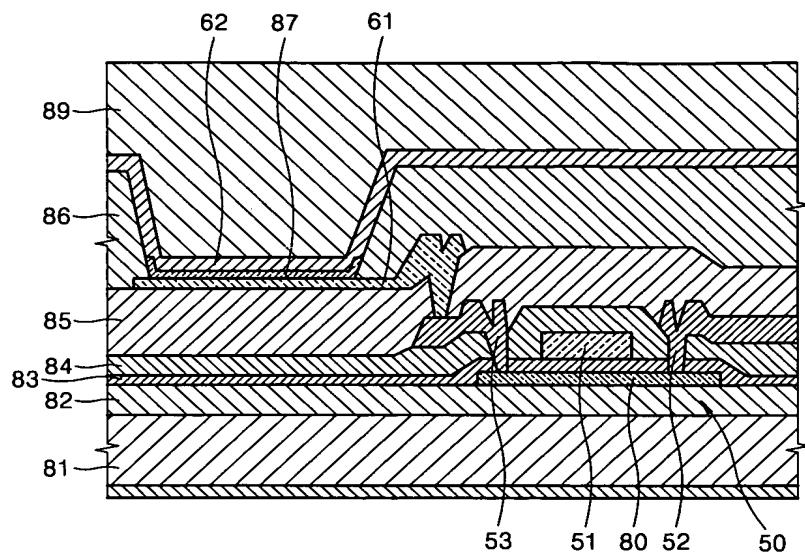
【도 2】



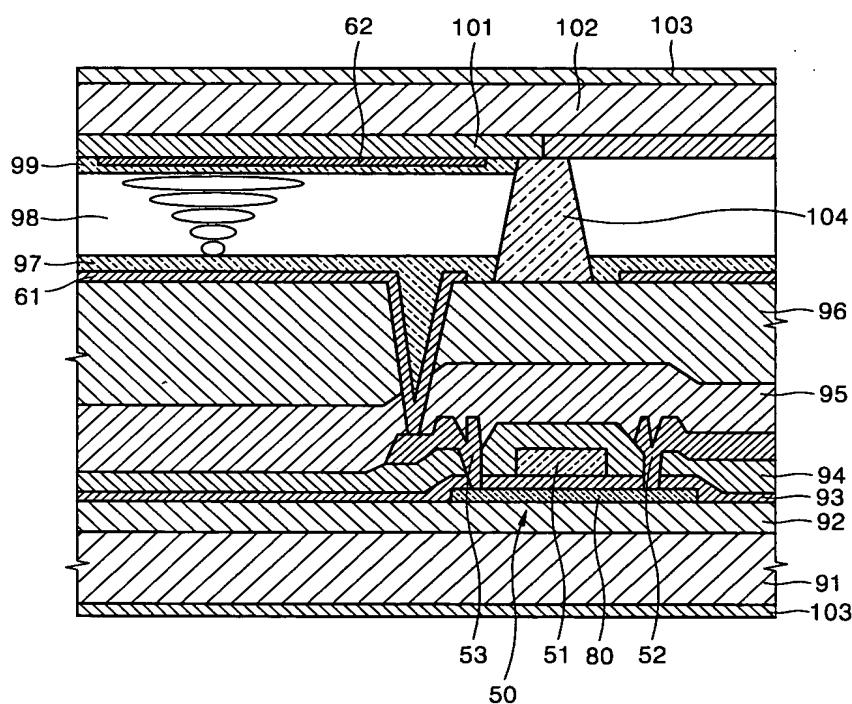
【도 3】



【도 4】

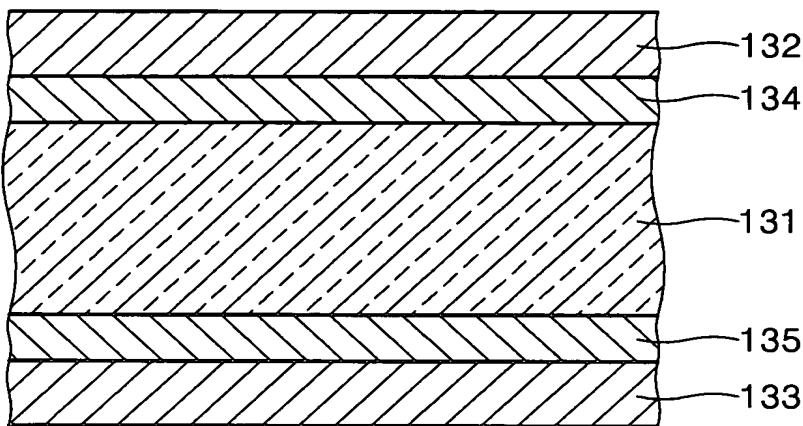


【도 5】

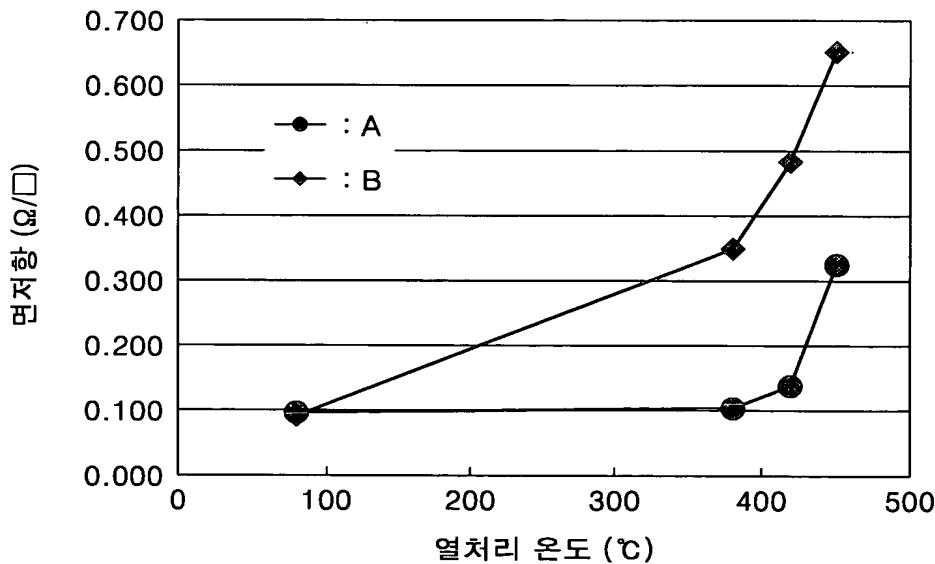


【도 6】

130



【도 7】



【도 8】

